

## 工业物联网中的缓冲内存管理设计与实现

吴超<sup>1</sup>, 王成群<sup>1</sup>, 朱升宏<sup>2</sup>, 徐伟强<sup>1</sup>, 贾宇波<sup>1</sup>

(1. 浙江理工大学信息学院, 浙江 杭州 310000; 2. 新华三技术有限公司, 浙江 杭州 310000)

**摘要:** 针对工业物联网高速通信中出现流量堵塞如何高效存储的问题, 引入了内存管理的方法。在研究同步动态随机存储器 (SDRAM) 存储原理的基础上, 设计了一种基于现场可编程逻辑门阵列 (FPGA) 的 SDRAM 分区内存管理系统。采用 FPGA 作为主控制器, 将 SDRAM 分成索引区和数据区两部分, 为了方便内存管理, 进一步将 SDRAM 数据区分成若干个 1 kB 大小相同的内存块, 实现通过索引读写数据的目的。仿真结果表明, 该内存管理系统配合 FIFO (first input first output) 的使用, 可以有效解决在高速通信中出现流量堵塞后从 SDRAM 中读取多条数据帧造成数据错乱等不可靠问题, 提高了通信系统的稳定性。

**关键词:** 工业物联网; 现场可编程逻辑门阵列; 同步动态随机存储器; 内存管理

**中图分类号:** TP393

**文献标识码:** A

**doi:** 10.11959/j.issn.2096-3750.2019.00088

## Design and implementation of buffer memory management in industrial Internet of things

WU Chao<sup>1</sup>, WANG Chengqun<sup>1</sup>, ZHU Shenghong<sup>2</sup>, XU Weiqiang<sup>1</sup>, JIA Yubo<sup>1</sup>

1. School of Information, Zhejiang Sci-Tech University, Hangzhou 310000, China

2. H3C, Hangzhou 310000, China

**Abstract:** Aiming at the problem of how to store traffic jam efficiently in high-speed communication of industrial Internet of things, the method of memory management was introduced. On the basis of researching the storage principle of SDRAM, a SDRAM partition memory management system based on field programmable gate array (FPGA) was designed. FPGA was used as the main controller, SDRAM was divided into two parts: index area and data area. In order to facilitate memory management, SDRAM data was further divided into memory blocks with the same size of 1 kB to achieve the purpose of reading and writing data through index. The simulation and experimental results show that the unreliable problems such as data disorder caused by reading multiple data frames from SDRAM after traffic congestion in high-speed communication can be solved effectively, and the stability of communication system can be improved by the memory management system combined with FIFO.

**Key words:** industrial Internet of things, field programmable gate array, synchronous dynamic random access memory, memory management

### 1 引言

随着社会的发展, 高速实时通信在许多领域中扮演着重要角色, 如军事、安全监控以及工业物联网等领域<sup>[1]</sup>。各行各业对数据传输的要求越来越高, 所以高速、大容量和高性能的存储器对行业具有十

分重要的作用。同步动态随机存储器 (SDRAM, synchronous dynamic random access memory) 与其他存储器相比, 具有性能优异、价格低廉等优点<sup>[2-4]</sup>, 因此在数据处理量大的系统中常被用作数据缓存器。

以往对 SDRAM 的使用只是把它当作一个简单的数据存储器, 然而当高速通信中出现流量堵塞时

收稿日期: 2019-01-14; 修回日期: 2019-02-26

基金项目: 浙江省重点研发计划资助项目 (No.2018C01093)

**Foundation Item:** The Key Research and Development Program Foundation of Zhejiang (No.2018C01093)

将会产生问题。因为如果 SDRAM 中存储了多条数据帧后，再从 SDRAM 中逐条读取数据帧时将无法知道每条数据帧的类型、长度以及在 SDRAM 中存放的起始地址和结束地址等信息，从而产生数据流传输错乱等不可靠问题。

基于上述 SDRAM 的使用问题，本文提出了将 SDRAM 内存分为索引区和数据区，使用现场可编程逻辑门阵列（FPGA，field programmable gate array）作为主控制器对 SDRAM 进行内存管理。该设计在实际应用中可以通过识别外界的操作完成对大量数据的有序缓存，操作简单、安全可靠，可以有效解决流量堵塞、协议转换等问题。

## 2 SDRAM 的工作原理

本设计采用的 SDRAM 芯片为 MT48LC16 M16A2，容量为 256 M，时钟频率可达 133 MHz 以上。该芯片拥有 4 个 Bank，每个 Bank 是一个存储阵列，Bank 地址选择线为 2 位，数据线为 16 位，复用地址线为 13 位。由于 SDRAM 使用电容的电荷存储特性来存储数据，所以为了保持数据稳定，每隔 64 ms 需要刷新 8 192 次<sup>[5-6]</sup>。

SDRAM 芯片主要有控制信号、地址信号和数据信号 3 种管脚信号。控制信号包括 WE\_N、CAS\_N、RAS\_N 和 CS\_N；地址信号包括行列地址信号和 Bank 地址信号；数据信号为双向数据信号，其有效性由输入输出使能信号决定。SDRAM 的操作主要通过命令来控制，命令由 CS\_N、RAS\_N、CAS\_N 和 WE\_N 等控制信号组合成的不同状态表示<sup>[7-9]</sup>。同时，地址总线和 DQM 总线作为辅助信号，提供与命令相对应的地址或参数。

## 3 内存管理系统的总体框架

内存管理系统主要包括 SDRAM 控制器模块、读/写 FIFO 模块、数据处理模块、读写索引模块、读写数据模块以及地址控制模块等，内存管理通过操作 SDRAM 控制器实现。该系统将 SDRAM 内存分为索引区和数据区，同时为了方便对数据流的管理，将数据区分成若干个 1 kB 大小相同的内存块，每个内存块称为一页。一次读写数据不满一页时，在数据处理时长度也按一页计算。写入数据到 SDRAM 数据区的流程是先将传输的数据传至写 FIFO 模块中，从写 FIFO 模块中取出，经过数据处理模块得到相应的索引信息，将索引信息写进索引

区，再根据索引信息将数据帧写进数据区。从 SDRAM 数据区读出数据的流程是先从索引区读出索引信息，根据索引信息再从数据区读出数据存到读 FIFO 模块中。内存管理系统框架如图 1 所示。

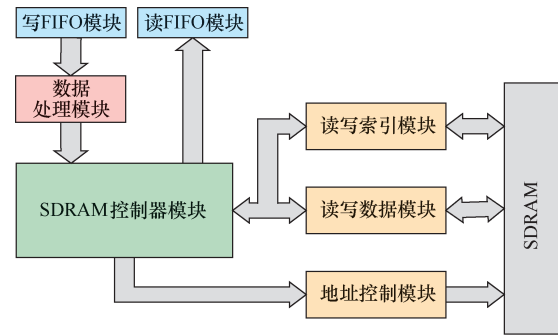


图 1 内存管理系统框架

### 3.1 SDRAM 控制器的设计

#### 3.1.1 SDRAM 初始化设计

SDRAM 上电后先进行初始化，然后才能进行正常操作，本设计对 SDRAM 初始化过程通过状态机实现。对 SDRAM 上电后等待 200  $\mu$ s 的时延，在此期间执行空操作；时延等待后跳转到预充电状态，关闭所有 Bank 中的行；之后跳转到刷新状态，刷新两次后跳转到加载模式寄存器，加载完成后跳转到配置模式寄存器，配置模式寄存器结束后进入空闲状态。

#### 3.1.2 SDRAM 状态机的设计

SDRAM 状态机比较复杂，涉及的状态跳转较多，其中，刷新状态、写状态和读状态是状态转移过程中的关键状态，SDRAM 控制器工作状态如图 2 所示。在实际应用中，难免会出现对同一块内存地址同时读写等误操作，为了解决这个问题，本文建立了状态优先级机制，规定了刷新状态、写状态和读状态之间的优先级顺序<sup>[10-12]</sup>。

1) 当检测到刷新命令时，如果在空闲状态下会立即预充电，进入刷新状态；如果在非空闲状态下，执行完当前的写或读操作后预充电并进入刷新状态。

2) 当检测到写命令时，如果在空闲状态下并且刷新时间未到，激活后进入写状态；如果在非空闲状态下，执行完当前写或读操作并且刷新时间未到，预充电继而激活后进入写状态。

3) 当检测到读命令时，如果在空闲状态下刷新时间未到并且没有写请求，激活后进入读状态；如果在非空闲状态下，执行完当前写或读操作后未检测到写请求并且刷新时间未到，预充电继而激活后进入读状态。

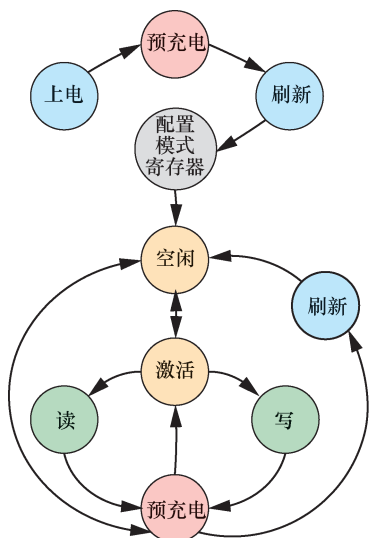


图 2 SDRAM 控制器工作状态

### 3.2 SDRAM 内存管理的设计

#### 3.2.1 数据处理模块

数据处理模块的作用是对数据帧进行预处理，计算分析索引信息。当需要在 SDRAM 中存储数据帧时，数据处理模块先根据数据帧的长度判断数据区的剩余内存大小是否可以存储当前数据帧。如果剩余内存大小不足以存储当前数据帧，则等待数据区中的数据帧被读出后再进行判断；如果剩余内存可以存储当前数据帧，则计算分析当前数据帧的数据类型、数据长度以及在数据区存储的起始地址和结束地址等信息，并将其存储在固定大小的索引信息寄存器中。数据处理模块还有一个重要作用是动态更新记录数据区剩余内存记录值的大小，即每次成功写入数据帧时，数据区剩余内存记录值要相应减少；每次成功读出数据帧时，数据区剩余内存记录值要相应增加。数据处理模块框架如图 3 所示。

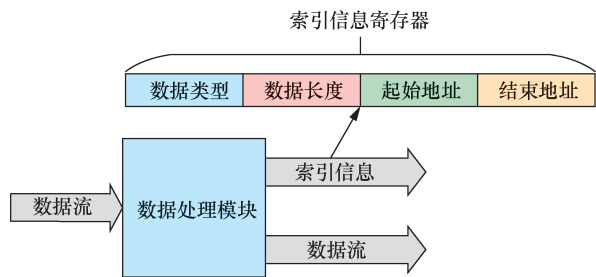


图 3 数据处理模块框架

#### 3.2.2 读写索引模块

为了实现在 SDRAM 中存储多条数据帧后可以依次准确读出每条数据帧的目的，将 SDRAM 分为两块区域，一块区域用来存储索引信息，剩余区域

用来存储数据帧。根据数据处理模块中的索引信息完成标识位决定是否向索引区写入索引。当索引信息标识位高时，说明索引信息处理完毕，可以向索引区写入索引参数，通过操作已设计好的 SDRAM 控制器将索引信息写进索引区。当有数据要读出 SDRAM 时，则通过操作 SDRAM 控制器将索引信息读出索引区，每条索引信息记录着它所对应数据帧的类型、长度以及在数据区存储的起始地址和结束地址等信息。在对 SDRAM 控制器进行操作时，因为索引信息的长度固定，根据之前配置模式寄存器时设定的突发长度的值，可以确定 SDRAM 控制器的读写次数。通过上述内存索引的设计，在 SDRAM 索引区会形成有序队列，每个队列存储着对应数据帧的相关信息。这样从 SDRAM 中读出多条数据帧时就不会因为不知道数据帧的类型、读取数据的起始地址和结束地址等问题而造成数据帧错乱。

#### 3.2.3 读写数据模块

本设计中的数据处理模块、读写索引模块以及地址控制模块等都是为了实现读写数据模块，读写数据模块的作用是服务于高速通信中的数据帧，与读写索引不同，因为要读写的数据帧长度不固定，所以对 SDRAM 控制器的操作会更加复杂。需要根据索引信息在写索引完成后向数据区写入数据帧；在读数据帧时，需要先读出索引信息，根据索引信息操作 SDRAM 控制器读出数据帧。对 SDRAM 控制器的读写次数也需要根据索引信息计算确定，通过索引信息来读写数据帧，可以很好地解决从 SDRAM 中读取多条数据帧的问题。读写数据流程如图 4 所示。

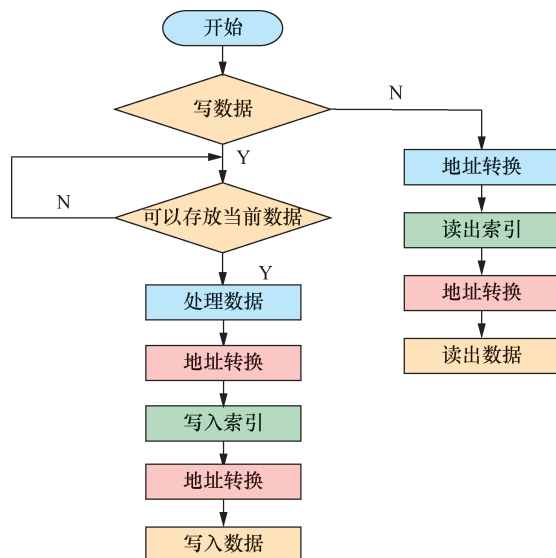


图 4 读写数据流程

### 3.2.4 地址控制模块

在本设计中，对 SDRAM 地址的处理是一个需要解决的关键问题。与以往对 SDRAM 地址的连续读写不同，系统将 SDRAM 分为索引区和数据区两个区，同时，数据区又被分成若干个 1 kB 大小的内存块。每次读写索引区和数据区的起始地址和结束地址都不同，所以需要不停切换读写的起始地址和结束地址。为了解决这个问题，在设计 SDRAM 控制器时增加一个切换地址标识位，只要这个标识位置高，则每次读写时就可以方便地切换读写的起始地址和结束地址。索引区的起始地址和结束地址的增量固定，数据区的起始地址和结束地址的增量不固定，地址控制模块需要协调读写索引、读写数据过程中地址动态变化的问题。

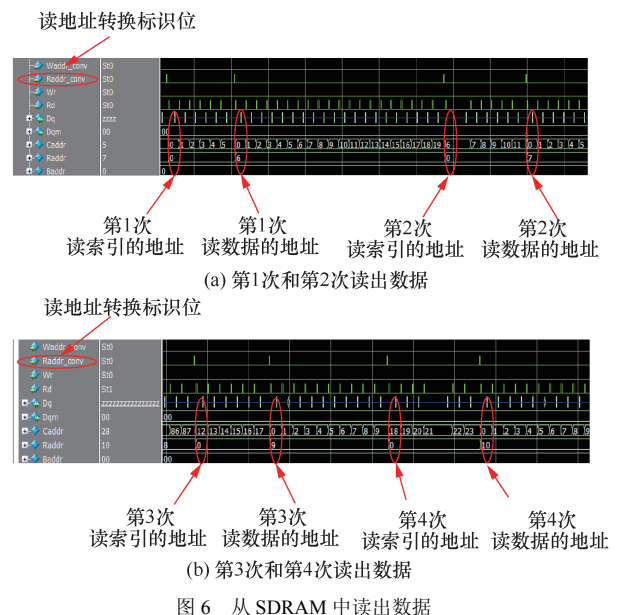
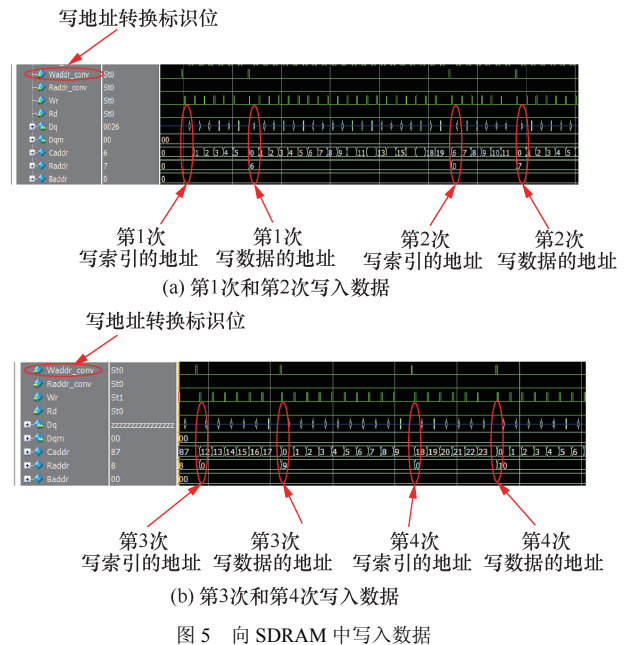
### 3.3 高速异步 FIFO 模块的使用

在嵌入式通信系统的实际应用中，为了实现数据的高速传输，同时解决输入和输出数据速率不匹配的问题，在内存管理系统的模型中增添写 FIFO 模块和读 FIFO 模块<sup>[13-15]</sup>。用户数据在存入 SDRAM 前，先放进写 FIFO 模块中；用户数据被取出后，先放进读 FIFO 模块中。这样 2 片 FIFO 模块与 SDRAM 之间就可以保持 133 Mbit/s 甚至更高的速率进行读写，外围电路的读写速率可以根据需要而定。

## 4 仿真测试与 FPGA 验证

内存管理系统的程序采用 Verilog HDL 语言编写，为了验证系统的合理性，使用 ModelSim 仿真平台进行仿真验证。在 SDRAM 中留出 6 kB 大小的内存作为索引区，剩余内存划分为数据区，每个存放索引参数的寄存器大小是 2 B。测试流程是将 500 组大小不固定的数据存入 SDRAM，再从 SDRAM 中将 500 组数据读出。通过这样的方式测试数据处理模块、控制器模块、读写索引模块、读写数据模块以及地址控制模块能否正常工作。向 SDRAM 中写入数据和从 SDRAM 中读出数据分别如图 5、图 6 所示，从图 5 和图 6 中可以看出，SDRAM 控制器可以按照预先的设计进行工作。向 SDRAM 写入数据时按照先写索引再写数据的顺序，从 SDRAM 读出数据时按照先读索引再读数据的顺序。每次读写时地址可以正常切换，索引区以 2 B 为最小单元存储索引信息，数据区以划分的 1 kB 为最小单元存储数据帧。仿真结果表明，

在 SDRAM 中存储多组数据后，可以准确从中读出数据帧，稳定可靠。



通过仿真测试后，在搭建的实验平台上进行板级测试。实验平台选用 Altera 公司 CycloneIV 系列的 FPGA 芯片，型号为 EP4CE6E22C6N。使用设计的以太网发送与接收模块测试该内存管理系统是否可以正常工作。测试流程是将 PC 发送给 FPGA 板卡的用户数据存入 SDRAM 内存中，再从 SDRAM 内存中完整取出用户数据发送给 PC，最后通过 Wireshark 工具抓包发现 FPGA 与 PC 之间通信正常。实验平台如图 7 所示。

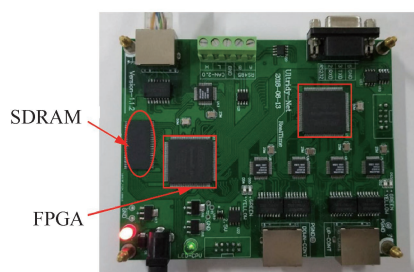


图7 实验平台

## 5 结束语

本文介绍了工业物联网中基于 FPGA 的 SDRAM 内存管理设计,把 SDRAM 分成索引区和数据区。每个数据区分成若干个 1 kB 大小相同的内存块,存储的实时性数据具有高效性、稳定性和通用性。虽然本系统会适当增加资源开销,造成一定冗余,但由于 FPGA 优异的运算速度,对系统有效性的影响很小,所以满足高速通信出现流量堵塞时对数据帧存储的要求,为以后解决嵌入式通信系统的流量堵塞、协议转换等问题提供了技术支持。

### 参考文献:

- [1] JIN T, LI W, HU X. A tow-level buffered SDRAM controller[C]//International Conference on Information Science & Control Engineering. IEEE, 2016.
- [2] LEE W C, CHAE M K, SOH K J, et al. Parallel branching of two 2-DIMM-sections with write-direction impedance-matching for an 8-drop 6.4 Gbit/s SDRAM interface[J]. IEEE Transactions on Components Packaging and Manufacturing Technology, 2018: 1.
- [3] BAKSHI A, PANDEY S S, PRADHAN T, et al. ASIC implementation of DDR SDRAM memory controller[C]//International Conference on Emerging Trends in Computing. IEEE, 2013.
- [4] CHEN S Y, WANG D H, SHAN R, et al. An innovative design of the DDR/DDR2 SDRAM compatible controller[C]//International Conference on Nanoscience. IEEE, 2012.
- [5] SINGH P, RENIWAL B, VIJAYVARGIYA V, et al. Design of high speed DDR SDRAM controller with less logic utilization[C]//International Conference on Devices. IEEE, 2014.
- [6] QIAO L Y, XU H W. Realization of high speed mass storage data record card with CF card and SDRAM[C]//Instrumentation & Measurement Technology Conference. IEEE, 2010.
- [7] JIAN Q T, LIU L S, PENG Y, et al. Optimized FPGA-based DDR2 SDRAM controller[C]//IEEE International Conference on Electronic Measurement & Instruments. IEEE, 2014.
- [8] CHANDRASEKAR K, AKESSON B, GOOSSENS K. Improved power modeling of DDR SDRAMs[C]//2011 14th Euromicro Conference on Digital System Design. IEEE, 2011.
- [9] ISLAM M A, ARAFATH M Y, HASAN M J. Design of DDR4 SDRAM controller[C]//International Conference on Electrical &

Computer Engineering. IEEE, 2015.

- [10] REDDY N S, CHOKKAKULA G, DEVENDRA B, et al. ASIC implementation of high speed pipelined DDR SDRAM controller[C]//International Conference on Information Communication & Embedded Systems. IEEE, 2015.
- [11] WANG L, WANG J, ZHANG Q. Design and implementation of DDR SDRAM controller based on FPGA in satellite navigation system[C]//IEEE International Conference on Signal Processing. IEEE, 2013.
- [12] 袁玉卓, 曾凯锋, 梅雪松. FPGA 自学笔记——设计与验证[M]. 北京: 北京航空航天大学出版社, 2017.
- [13] YUAN Y Z, ZENG K F, MEI X S. Self-study notes of FPGA design and verification[M]. Beijing: Beihang University Press, 2017.
- [14] 孙冬雪, 王竹刚. 基于 DDR3 SDRAM 的大容量异步 FIFO 缓存系统的设计与实现[J]. 电子设计工程, 2018, 26(9): 145-148.
- [15] SUN D X, WANG Z G. The design and implementation of large capacity asynchronous FIFO buffer system based on DDR3 SDRAM[J]. Electronic Design Engineering, 2018, 26(9): 145-148.
- [16] 徐洋洋. 基于 FPGA 的多通道大容量 FIFO 设计[J]. 电子测量技术, 2017, 40(8): 198-202.
- [17] XU Y Y. Design of multi-channel FIFO with mass storage facility based on FPGA[J]. Electronic Measurement Technology, 2017, 40(8): 198-202.
- [18] ZHENG D, YANG Y, ZHANG Y. FPGA realization of multiport SDRAM controller in real time image acquisition system[C]//International Conference on Multimedia Technology. IEEE, 2011.

### [作者简介]



吴超(1994-),男,江苏盐城人,浙江理工大学硕士生,主要研究方向为物联网、工业互联网等。



王成群(1981-),男,湖北宜昌人,博士,浙江理工大学讲师,主要研究方向为工业互联网、AI 及其在行业中的应用等。

朱升宏(1968-),男,浙江杭州人,高级工程师,新华三技术有限公司副总裁,主要研究方向为无线网络、人工智能、信号与信息处理等。

徐伟强(1975-),男,浙江杭州人,博士,浙江理工大学教授、硕士生导师,主要研究方向为工业互联网、物联网、网络与智能等。

贾宇波(1964-),男,浙江绍兴人,浙江理工大学教授、硕士生导师,主要研究方向为 Web 挖掘技术研究、软件开发方法研究、网络通信协议研究等。